

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-308287

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 2000-125122 (71)Applicant : SHARP CORP

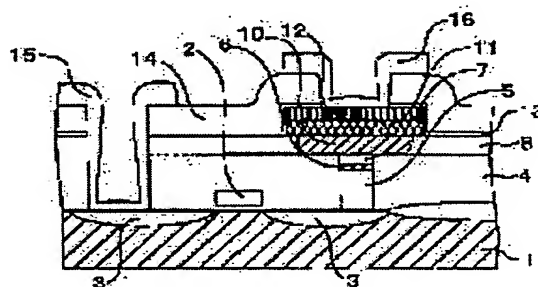
(22)Date of filing : 26.04.2000 (72)Inventor : YAMAZAKI NOBUO
ISHIHARA KAZUYA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly integrated semiconductor device by which a lower electrode can be microminiaturized, which has not been attained in the prior art, and low voltage operation and high reliability can be attained.

SOLUTION: In the semiconductor device having a dielectric capacitor comprising a diffusion layer 3 formed on a silicon board 1, an interlayer insulation film 4 coating the surface of the silicon board 1 and flattening the surface, and a lower electrode 10 connected to the diffusion layer 3 through an embedded conductive layer comprising a contact plug 5, a low resistant layer 6, a barrier metal layer 7 comprising tantalum silicon nitride, and a ferroelectric substance film 11 formed thereon and an upper electrode 12, the electrode 10 is made a structure having side wall slope shape monotonously increasing the cross section from the embedded conductive layer side to the direction of the upper dielectric film.



LEGAL STATUS

[Date of request for examination] 09.07.2002

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application other

than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-308287
(P2001-308287A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 8 3
27/108			6 2 1 Z
21/8242			6 5 1

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21)出願番号 特願2000-125122(P2000-125122)

(22)出願日 平成12年4月26日(2000.4.26)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 山崎 信夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 石原 数也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100102277

弁理士 佐々木 晴康 (外2名)

Fターム(参考) 5F083 AD21 FR02 GA21 JA15 JA17

JA38 JA39 JA40 MA05 MA06

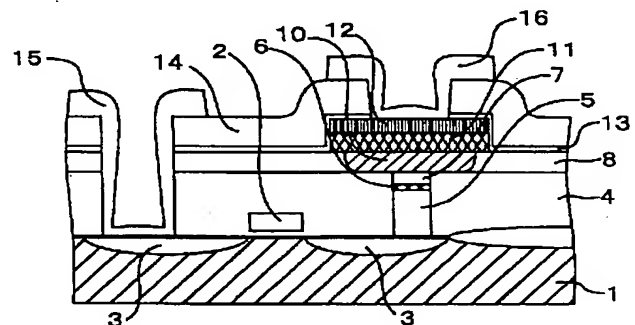
MA17 MA20 NA02 PR34

(54)【発明の名称】 半導体装置、及びその製造方法

(57)【要約】

【課題】 従来の技術では成し得なかった下部電極の微細化を可能とし、また、低電圧動作、高信頼性を可能とする高集積半導体装置を提供する。

【解決手段】 シリコン基板1上に形成された拡散層3と、シリコン基板1の表面を被覆しており、かつ、その表面が平坦化された層間絶縁膜4と、層間絶縁膜4に開口されたコンタクトホール内に埋設された、コンタクトプラグ5、低抵抗化層6およびタンタルシリコンナイトライドから成るバリアメタル層7から成る埋め込み導電層を介して拡散層3に接続された下部電極10と、その上に形成された強誘電体膜11および上部電極12から成る誘電体キャパシタとを有して成る半導体装置において、下部電極10が、埋め込み導電層側より上部誘電体膜方向に向かって、その断面積が単調増加する、側壁斜面形状を有して成る構造とする。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成された拡散層と、前記半導体基板表面を被覆しており、かつ、その表面が平坦化された層間絶縁膜と、

前記層間絶縁膜に開口されたコンタクトホール内に埋設された、下方プラグ部材および上方バリア層を含む埋め込み導電層を介して前記拡散層に接続された下部電極と、その上に形成された誘電体膜および上部電極から成る誘電体キャパシタとを有して成る半導体装置において、

前記下部電極が、前記埋め込み導電層側より前記上部誘電体膜方向に向かって、その断面積が単調増加する、側壁斜面形状を有して成ることを特徴とする半導体装置。

【請求項 2】 半導体基板上に形成されたゲート絶縁膜、ゲート電極および一對の拡散層を有する絶縁ゲート型電界効果トランジスタと、前記絶縁ゲート型電界効果トランジスタおよび半導体基板の表面を被覆しており、かつ、その表面が平坦化された層間絶縁膜と、前記層間絶縁膜に開口されたコンタクトホール内に埋設された、下方プラグ部材および上方バリア層を含む埋め込み導電層を介して、前記絶縁ゲート型電界効果トランジスタの一方の拡散層と接続された下部電極と、その上に形成された誘電体膜および上部電極から成る誘電体キャパシタとを有して成るメモリセルを有する半導体装置において、

前記下部電極が、前記埋め込み導電層側より前記上部誘電体膜方向に向かって、その断面積が単調増加する、側壁斜面形状を有して成ることを特徴とする半導体装置。

【請求項 3】 前記下部電極の側壁を被覆する第 2 の絶縁膜を有し、前記第 2 の絶縁膜の表面が平坦化されて、かつ、同表面が前記下部電極の表面と同一面を成しており、少なくとも前記下部電極上面全面を覆うように形成された前記誘電体膜と、その上部に配置された前記上部電極とを有して成ることを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記上方バリア層が、タンタルシリコンナイトライドから成ることを特徴とする、請求項 1、2 または 3 に記載の半導体装置。

【請求項 5】 前記誘電体膜が強誘電体膜から成ることを特徴とする、請求項 1、2、3 または 4 に記載の半導体装置。

【請求項 6】 半導体基板上に拡散層を形成する工程と、前記半導体基板上に、その表面が平坦化された層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記拡散層に到るコンタクトホールを形成する工程と、前記コンタクトホール内に、下方プラグ部材および上方バリア層を含む埋め込み導電層を埋設形成する工程と、前記層間絶縁膜および埋め込み導電層を含む半導体基板表面に第 2 の絶縁膜を堆積する工程と、前記埋め込み導電層表面およびその周辺部が露出するように、その断面積が、前

記第 2 の絶縁膜表面から前記埋め込み導電層方向に向かって単調に減少する、その側壁が斜面形状のコンタクトホールを、前記第 2 の絶縁膜に形成する工程と、前記第 2 の絶縁膜、前記層間絶縁膜および前記埋め込み導電層上に下部電極形成用導電体薄膜を形成する工程と、前記下部電極形成用導電体薄膜を、前記第 2 の絶縁膜表面が露出し、かつ、その表面が前記第 2 の絶縁膜表面と同一面になるように平坦化して、下部電極を形成する工程と、前記下部電極および前記第 2 の絶縁膜上に、キャパシタ誘電体膜形成用誘電体薄膜および上部電極形成用導電体薄膜を順次積層し、キャパシタ誘電体膜が前記下部電極表面を完全に覆うように、前記上部電極形成用導電体薄膜およびキャパシタ誘電体膜形成用誘電体薄膜をパターンニングして、前記上部電極および前記キャパシタ誘電体膜を形成する工程とを含むことを特徴とする、請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 半導体基板上に、ゲート絶縁膜、ゲート電極および一對の拡散層を有する絶縁ゲート型電界効果トランジスタを形成する工程と、前記絶縁ゲート型電界効果トランジスタおよび半導体基板上に、その表面が平坦化された層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記絶縁ゲート型電界効果トランジスタの一方の拡散層に到るコンタクトホールを形成する工程と、前記コンタクトホール内に、下方プラグ部材および上方バリア層を含む埋め込み導電層を埋設形成する工程と、前記層間絶縁膜および埋め込み導電層を含む半導体基板表面に第 2 の絶縁膜を堆積する工程と、前記埋め込み導電層表面およびその周辺部が露出するように、その断面積が、前記第 2 の絶縁膜表面から前記埋め込み導電層方向に向かって単調に減少する、その側壁が斜面形状のコンタクトホールを、前記第 2 の絶縁膜に形成する工程と、前記第 2 の絶縁膜、前記層間絶縁膜および前記埋め込み導電層上に下部電極形成用導電体薄膜を形成する工程と、前記下部電極形成用導電体薄膜を、前記第 2 の絶縁膜表面が露出し、かつ、その表面が前記第 2 の絶縁膜表面と同一面になるように平坦化して、下部電極を形成する工程と、前記下部電極および前記第 2 の絶縁膜上に、キャパシタ誘電体膜形成用誘電体薄膜および上部電極形成用導電体薄膜を順次積層し、キャパシタ誘電体膜が前記下部電極表面を完全に覆うように、前記上部電極形成用導電体薄膜およびキャパシタ誘電体膜形成用誘電体薄膜をパターンニングして、前記上部電極および前記キャパシタ誘電体膜を形成する工程とを含むことを特徴とする、請求項 2 に記載の半導体装置の製造方法。

【請求項 8】 前記埋め込み導電層表面およびその周辺部上の前記第 2 の絶縁膜の除去を、ウェットエッチング法により行うことを特徴とする、請求項 6 または 7 に記載の半導体装置の製造方法。

【請求項 9】 前記下部電極形成用導電体薄膜を、前記第 2 の絶縁膜表面が露出し、かつ、その表面が前記第 2

の絶縁膜表面と同一面になるように平坦化して、下部電極を形成する工程を、化学的機械的研磨法により行うことを特徴とする、請求項6、7または8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、微細化された誘電体キャパシタを有する半導体装置およびその製造方法に係るものであり、特に、強誘電体キャパシタを有する半導体記憶装置およびその製造方法に関するものである。

【0002】

【従来の技術】 $Pb(Zr, Ti)O_3$ (PZT) などに代表される強誘電体をキャパシタに用いた不揮発性強誘電体メモリ素子は、その高速性や低消費電力といった特性を背景に、近年、特に注目を浴びている。この素子を高集積化するためには、微細化に適したメモリセル構造の開発および上部電極、強誘電体膜、下部電極からなる強誘電体キャパシタの微細化技術の開発が必要である。従来は、強誘電体キャパシタの上部電極とMOSトランジスタの拡散層（ソース、ドレイン）を局所配線で接続していたが、スタック型メモリセル構造では、強誘電体キャパシタの下部電極と拡散層をコンタクトプラグで接続させることでメモリセル面積の縮小を図っている。ただし、この場合、ポリシリコン等で形成されるコンタクトプラグと下部電極との反応を防ぐために、その間に窒化チタン（TiN）などのバリアメタル層を挿入しているため、強誘電体キャパシタの段差が大きくなり、後工程の層間絶縁膜工程や配線工程での問題発生要因となってしまう。また、上部電極、強誘電体膜および下部電極を順次エッチングして形成する従来の強誘電体キャパシタ構造である離層構造は、強誘電体キャパシタ、特に、下部電極を構成している材料が白金やイリジウムといった加工性の非常に乏しい材料であるため、エッチングが困難で、その側壁が非常になだらかな傾斜（テーパ角度40度程度）を示すため、微細化する上で非常に難しい構造であるとともに、エッチング時に発生する反応生成物の強誘電体キャパシタへの再付着による、上部・下部電極間の短絡の原因にもなってしまう。

【0003】このような問題を解決するために、特開平9-162369号公報に於いて、図16に示されるようなメモリセル構造が提案されている。図16において、1はシリコン基板、2はゲート電極、3は拡散層（ソース、ドレイン）、4は第1の層間絶縁膜、201はチタン膜、202はTiNプラグ、8は第2の層間絶縁膜、9は下部電極、11は強誘電体膜、12は上部電極、14は第3の層間絶縁膜、15はビット線、16はプレート線である。

【0004】上記公報に開示される構造では、コンタクトプラグにTi2O1およびTiN202をCVD法により形成して埋め込んで強誘電体キャパシタの段差低減

を図っている。また、下部電極9を、強誘電体膜11が形成される前に加工して、エッチング時の再付着物の発生による、上部電極12-下部電極9間の短絡を防止している。

【0005】

【発明が解決しようとする課題】しかしながら、下部電極の加工には、通常のエッチング手法を用いているため、図16に示すように、下部電極側壁のテーパの発生は不可避であり、更なる微細化を目指した場合、大きな障害となる可能性が高い。また、コンタクトプラグにTiNを使用しているため、650℃程度の温度までしか耐熱性を有しない。そのため、PZTと比較して、低電圧動作や高信頼性を有する強誘電体材料である $SrBi_2Ta_2O_9$ (SBT) を強誘電体キャパシタに使用しようとする場合、その形成温度は一般的に700℃以上の温度が必要であるため、TiNプラグの使用は妨げられる。

【0006】本発明は、これらの問題点に鑑みてなされたものであり、従来の技術では成し得なかった下部電極の微細化を可能とし、また、低電圧動作、高信頼性を可能とする高集積半導体装置およびその製造方法を提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明（第1発明）の半導体装置は、半導体基板上に形成された拡散層と、前記半導体基板表面を被覆しており、かつ、その表面が平坦化された層間絶縁膜と、前記層間絶縁膜に開口されたコンタクトホール内に埋設された、下方プラグ部材および上方バリア層を含む埋め込み導電層を介して前記拡散層に接続された下部電極と、その上に形成された誘電体膜および上部電極から成る誘電体キャパシタとを有して成る半導体装置において、前記下部電極が、前記埋め込み導電層側より前記上部誘電体膜方向に向かって、その断面積が単調増加する、側壁斜面形状を有して成ることを特徴とするものである。

【0008】また、本発明（第2発明）の半導体装置は、半導体基板上に形成されたゲート絶縁膜、ゲート電極および一对の拡散層を有する絶縁ゲート型電界効果トランジスタと、前記絶縁ゲート型電界効果トランジスタおよび半導体基板の表面を被覆しており、かつ、その表面が平坦化された層間絶縁膜と、前記層間絶縁膜に開口されたコンタクトホール内に埋設された、下方プラグ部材および上方バリア層を含む埋め込み導電層を介して、前記絶縁ゲート型電界効果トランジスタの一方の拡散層と接続された下部電極と、その上に形成された誘電体膜および上部電極から成る誘電体キャパシタとを有して成るメモリセルを有する半導体装置において、前記下部電極が、前記埋め込み導電層側より前記上部誘電体膜方向に向かって、その断面積が単調増加する、側壁斜面形状を有して成ることを特徴とするものである。

【0009】また、本発明（第3発明）の半導体装置は、前記第1発明または第2発明の半導体装置において、前記下部電極の側壁を被覆する第2の絶縁膜を有し、前記第2の絶縁膜の表面が平坦化されて、かつ、同一表面が前記下部電極の表面と同一面を成しており、少なくとも前記下部電極上面全面を覆うように形成された前記誘電体膜と、その上部に配置された前記上部電極とを有して成ることを特徴とするものである。

【0010】また、本発明（第4発明）の半導体装置は、前記第1発明、第2発明または第3発明の半導体装置において、前記上方バリア層が、タンタルシリコンナイトライドから成ることを特徴とするものである。

【0011】更に、本発明（第5発明）の半導体装置は、前記第1乃至第4発明の半導体装置において、前記誘電体膜が強誘電体膜から成ることを特徴とするものである。

【0012】また、本発明（第6発明）の半導体装置の製造方法は、半導体基板上に拡散層を形成する工程と、前記半導体基板上に、その表面が平坦化された層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記拡散層に到るコンタクトホールを形成する工程と、前記コンタクトホール内に、下方プラグ部材および上方バリア層を含む埋め込み導電層を埋設形成する工程と、前記層間絶縁膜および埋め込み導電層を含む半導体基板表面に第2の絶縁膜を堆積する工程と、前記埋め込み導電層表面およびその周辺部が露出するように、その断面積が、前記第2の絶縁膜表面から前記埋め込み導電層方向に向かって単調に減少する、その側壁が斜面形状のコンタクトホールを、前記第2の絶縁膜に形成する工程と、前記第2の絶縁膜、前記層間絶縁膜および前記埋め込み導電層上に下部電極形成用導電体薄膜を形成する工程と、前記下部電極形成用導電体薄膜を、前記第2の絶縁膜表面が露出し、かつ、その表面が前記第2の絶縁膜表面と同一面になるように平坦化して、下部電極を形成する工程と、前記下部電極および前記第2の絶縁膜上に、キャパシタ誘電体膜形成用誘電体薄膜および上部電極形成用導電体薄膜を順次積層し、キャパシタ誘電体膜が前記下部電極表面を完全に覆うように、前記上部電極形成用導電体薄膜およびキャパシタ誘電体膜形成用誘電体薄膜をパターンニングして、前記上部電極および前記キャパシタ誘電体膜を形成する工程とを含むことを特徴とするものである。

【0013】また、本発明（第7発明）の半導体装置の製造方法は、半導体基板上に、ゲート絶縁膜、ゲート電極および一对の拡散層を有する絶縁ゲート型電界効果トランジスタを形成する工程と、前記絶縁ゲート型電界効果トランジスタおよび半導体基板上に、その表面が平坦化された層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記絶縁ゲート型電界効果トランジスタの一方の拡散層に到るコンタクトホールを形成する工程と、前記コンタクトホール内に、下方プラグ部材および上方バリア

層を含む埋め込み導電層を埋設形成する工程と、前記層間絶縁膜および埋め込み導電層を含む半導体基板表面に第2の絶縁膜を堆積する工程と、前記埋め込み導電層表面およびその周辺部が露出するように、その断面積が、前記第2の絶縁膜表面から前記埋め込み導電層方向に向かって単調に減少する、その側壁が斜面形状のコンタクトホールを、前記第2の絶縁膜に形成する工程と、前記第2の絶縁膜、前記層間絶縁膜および前記埋め込み導電層上に下部電極形成用導電体薄膜を形成する工程と、前記下部電極形成用導電体薄膜を、前記第2の絶縁膜表面が露出し、かつ、その表面が前記第2の絶縁膜表面と同一面になるように平坦化して、下部電極を形成する工程と、前記下部電極および前記第2の絶縁膜上に、キャパシタ誘電体膜形成用誘電体薄膜および上部電極形成用導電体薄膜を順次積層し、キャパシタ誘電体膜が前記下部電極表面を完全に覆うように、前記上部電極形成用導電体薄膜およびキャパシタ誘電体膜形成用誘電体薄膜をパターンニングして、前記上部電極および前記キャパシタ誘電体膜を形成する工程とを含むことを特徴とするものである。

【0014】更に、本発明（第8発明）の半導体装置の製造方法は、前記第6発明または第7発明の半導体装置の製造方法において、前記埋め込み導電層表面およびその周辺部上の前記第2の絶縁膜の除去を、ウェットエッチング法により行うことを特徴とするものである。

【0015】更に、本発明（第9発明）の半導体装置の製造方法は、前記第6発明乃至第8発明の半導体装置の製造方法において、前記下部電極形成用導電体薄膜を、前記第2の絶縁膜表面が露出し、かつ、その表面が前記第2の絶縁膜表面と同一面になるように平坦化して、下部電極を形成する工程を、化学的機械的研磨法により行うことを特徴とするものである。

【0016】

【発明の実施の形態】以下、本発明の実施の形態に基づいて、本発明を詳細に説明する。

【0017】図1は、本発明の一実施形態の半導体記憶装置に於けるメモリセル部（強誘電体キャパシタとスイッチングMOSトランジスタとから構成される）の構成を示す断面構造図である。

【0018】図に於いて、1はシリコン基板、2はポリシリコンゲート電極、3は拡散層（ソース、ドレイン）、4は酸化シリコンから成る第1の層間絶縁膜、5はポリシリコンから成るコンタクトプラグ、6はチタンシリサイドを低抵抗化処理して形成された低抵抗化層、7はタンタルシリコンナイトライドから成るバリアメタル層、8は窒化シリコンから成る絶縁膜、10はイリジウムから成る下部電極、11はSBTから成る強誘電体膜、12はイリジウムから成る上部電極、13は酸化チタンから成る拡散バリア膜、14はNSG（ノンドープ・シリケートガラス）から成る第2の層間絶縁膜、15

はビット線、16はプレート線である。

【0019】本実施形態の半導体記憶装置に於ける第1の特徴構成は、下部電極10が、バリアメタル層7側より強誘電体膜11方向に向かって、その断面積が単調増加する、側壁斜面形状（擋り鉢状、或いは弓状等の形状）を有している点である。また、下部電極10の側壁を被覆する絶縁膜8を有しており、この絶縁膜8の表面が平坦化されて、かつ、同表面が下部電極10の表面と同一面を成している点である。

【0020】また、第2の特徴構成は、第1の層間絶縁膜4に形成されるコンタクトホール内の最上部に埋め込み形成されるバリアメタル層として、タンタルシリコンナイトライドから成るバリアメタル層7を形成している点である。

【0021】次に、前記本発明の実施形態の半導体記憶装置の製造方法について、図2乃至図13を参照して説明する。

【0022】まず、従来の技術により、シリコン基板1上にポリシリコンゲート電極2および拡散層3を有するスイッチングMOSトランジスタを形成する。その後、第1の層間絶縁膜（酸化シリコン膜）4を堆積させ、フォトリソグラフィ工程およびドライエッチング工程により、直径が0.6 μ mのコンタクトホールを形成する。次に、減圧CVD法によりポリシリコンを堆積し、その後、熱拡散によりポリシリコン中にリンをドーピングする。次に、化学的機械的研磨（Chemical Mechanical Polishing: CMP）法によりポリシリコンを研磨し、第1の層間絶縁膜4上のポリシリコンを完全に除去して、コンタクトプラグ5を形成する（図2）。

【0023】次に、ドライエッチング法にて全面エッチバックを行う（図3）。この際のエッチバック条件はポリシリコンのエッチレートが酸化シリコン膜に対して10以上の選択比を有していればよい。ポリシリコンのエッチバック量が多すぎると、チタン或いはバリアメタル堆積時の埋め込みが不完全になってしまい、逆に、少なすぎるとバリアメタルが機能する膜厚を確保できなくなってしまうからである。

【0024】次に、チタンをDCマグネトロンスパッタ法により20nm堆積する。その後、急速加熱アニール（Rapid Thermal Anneal: RTA）法により、チタンとシリコンを反応させて、チタンシリサイドをコンタクトプラグ5上に形成する。このときのRTA条件は、温度が600~700℃で、30秒~1分間、窒素雰囲気中で行うのが望ましい。温度が低すぎると、チタンとシリコンの反応が進まず、逆に、高すぎると、チタンシリサイドの過剰成長が発現するからである。次に、コンタクトプラグ5上以外のチタンを除去するために、硫酸溶液でウエット処理を行う。次に、

形成されたチタンシリサイドを低抵抗化するために、再度、RTAを行い、これによって、低抵抗化層6を形成する（図4）。このときのRTA条件は、温度が800~900℃で、10~20秒間、窒素雰囲気中で行うのが望ましい。温度が低すぎると、チタンシリサイドの低抵抗化が不十分で、逆に高すぎると、MOSトランジスタへ好ましくない影響を与えるからである。また、この低抵抗化層6はチタンシリサイドに限定されるものではなく、ポリシリコンとバリアメタルとの間の抵抗を低減でき、かつ、700℃以上の耐熱性を有していればよい。例えば、コバルトシリサイド等を使用することができる。

【0025】次に、反応性DCマグネトロンスパッタ法により、タンタルシリコンナイトライド（TaSiN）膜107を全面に150nm堆積する（図5）。

【0026】次に、CMP法により、TaSiN膜107を研磨し、第1の層間絶縁膜4上のTaSiN膜を完全に除去して、バリアメタル層7を形成する（図6）。TaSiNはTiNと比べて優れた耐熱性を有していることが見出されている。図14は、TaSiNとTiNに対して耐熱性を評価した結果を示したものであり、横軸は、窒素中での熱処理温度、縦軸は、規格化されたシート抵抗値である。膜厚が同じである場合（この場合100nm）、TiNは600℃でシート抵抗の上昇が顕著で、その値が初期値の2倍近くにまでなっているが、TaSiNの場合は700℃程度の熱処理においてもシート抵抗の上昇は約20%とわずかである。このため、TaSiNはSBTの形成温度（700℃）でも耐えるバリアメタルになり得る。

【0027】次に、公知のプラズマCVD法により、全面に窒化シリコン膜108を250nm堆積する。窒化シリコン膜108を形成する方法は、上記プラズマCVD法に限定されるものではなく、減圧CVD法を用いてもよい。引き続き、常圧CVD法により、酸化シリコン膜109を20nm堆積する（図7）。

【0028】次に、フォトリソグラフィ法およびウエットエッチング法により、バリアメタル層7およびその周辺部上の酸化シリコン膜109を除去する。バリアメタル層7およびその周辺部上部分が除去された酸化シリコン膜109をマスクとして、窒化シリコン膜108を、150℃に熱せられたリン酸を用いて除去し、絶縁膜8を形成する。また、窒化シリコンが除去された部分は、1.3 μ m角であり、リン酸によるウエットエッチングであるので、等方的に窒化シリコンは除去されているため、その側壁形状は弓状に形成されている。なお、絶縁膜を除去する方法は、本実施形態に示された方法に限定されるものではなく、通常のフォトリソグラフィ工程とドライエッチング法を用いても、除去部分の側壁部が弓状或いは擋り鉢状になっていればよい。その後、マスク酸化シリコン109を除去する（図8）。

【0029】次に、全面に、下部電極になるイリジウム膜110をDCマグネトロンスパッタ法にて300nm堆積する(図9)。このとき、イリジウム膜110は、窒化シリコンが除去されている部分の側壁が弓状に形成されているため、側壁部に対しても均一に堆積されている。

【0030】次に、イリジウム膜110を、絶縁膜8が露出し、かつ、それらが同一面になるまでCMP法を用いて研磨し、下部電極10の側壁が絶縁膜8によって被覆された形状を形成する(図10)。

【0031】その後、強誘電体膜としてSBT膜111を形成し、その後、上部電極となるイリジウム膜112をDCマグネトロンスパッタ法にて100nm形成する(図11)。SBT膜111の形成方法は、以下に示す通りである。まず、Sr、Ta、Biそれぞれの金属元素を含んだ有機金属溶液をスピンコート法を用いて塗布・乾燥を行った後、700℃、30分の結晶化アニールを常圧酸素雰囲気中で行い、この処理を、SBT膜の膜厚が所望の厚さになるまで繰り返す。ここで、有機金属溶液の元素比は、Sr:Bi:Ta=0.8:2.4:2.0としており、最終的な膜厚は150nmである。

【0032】その後、フォトリソグラフィ法およびドライエッチング法を用いて、上部電極12とキャパシタ強誘電体膜11をパターンニングして形成する(図12)。このときの上部電極サイズおよびキャパシタ強誘電体膜のサイズは、1.75μm角である。キャパシタ強誘電体膜11を形成後、700℃、30分の電極アニールを常圧酸素雰囲気中で行う。

【0033】引き続き、拡散バリア膜として酸化チタン膜13と、第2の層間絶縁膜としてNSG膜14を順次堆積する(図13)。酸化チタン膜13は、反応性DCマグネトロンスパッタ法で、NSG膜14は、常圧CVD法で、それぞれ形成する。

【0034】次に、強誘電体キャパシタの上部電極12およびMOSTランジスタの他方の拡散層3に到るコンタクトホールを、フォトリソグラフィ法およびドライエッチング法にて開口した後、配線工程を行って、ビット線15およびプレート線16を形成して素子の完成となる(図1)。

【0035】図15に、本実施形態の製造方法を用いて形成された強誘電体キャパシタのヒステリシス特性を示す。±3V印加時で強誘電体の性能を表す2Prで約15uC/cm²と、比較的良好な特性を示す強誘電体キャパシタを形成することができた。

【0036】

【発明の効果】以上、詳細に説明したように、本発明によれば、従来技術の問題点を解決できる、極めて有用な半導体(記憶)装置、並びに、その製造方法を提供することができるものである。

【0037】より、具体的に述べれば、本発明によれ

ば、下部電極の形成をドライエッチングを用いずにCMP法を用いて行っているため、下部電極サイズが1.3μmであり、キャパシタ強誘電体サイズは1.75μmである微細化された強誘電体キャパシタ構造を構成している。従来技術で示した構造では、下部電極イリジウム加工時のテーパ角度を40度とすると、下部電極(膜厚250nm)の加工寸法は、種々のプロセスマージンを含めると、最小1.4μmとなり、キャパシタ強誘電体サイズは1.85μmになる。このことから、本発明の場合の強誘電体キャパシタ専有面積は、従来技術に対して、90%程度に抑えられ、微細化に対して有効であることが示される。また、本発明によれば、バリアメタル層にTaSiNを使用しているため、700℃程度の熱処理が必要なSBTを使用することができ、低電圧動作可能で高信頼性を有する強誘電体メモリ素子の形成が可能である。

【図面の簡単な説明】

【図1】本発明の実施形態である半導体記憶装置におけるメモリセル部の構成を示す断面図である。

【図2】本発明の実施形態である半導体記憶装置の製造工程の第1段階時点における断面構造を示す製造工程断面図である。

【図3】本発明の実施形態である半導体記憶装置の製造工程の第2段階時点における断面構造を示す製造工程断面図である。

【図4】本発明の実施形態である半導体記憶装置の製造工程の第3段階時点における断面構造を示す製造工程断面図である。

【図5】本発明の実施形態である半導体記憶装置の製造工程の第4段階時点における断面構造を示す製造工程断面図である。

【図6】本発明の実施形態である半導体記憶装置の製造工程の第5段階時点における断面構造を示す製造工程断面図である。

【図7】本発明の実施形態である半導体記憶装置の製造工程の第6段階時点における断面構造を示す製造工程断面図である。

【図8】本発明の実施形態である半導体記憶装置の製造工程の第7段階時点における断面構造を示す製造工程断面図である。

【図9】本発明の実施形態である半導体記憶装置の製造工程の第8段階時点における断面構造を示す製造工程断面図である。

【図10】本発明の実施形態である半導体記憶装置の製造工程の第9段階時点における断面構造を示す製造工程断面図である。

【図11】本発明の実施形態である半導体記憶装置の製造工程の第10段階時点における断面構造を示す製造工程断面図である。

【図12】本発明の実施形態である半導体記憶装置の製

造工程の第11段階時点における断面構造を示す製造工程断面図である。

【図13】本発明の実施形態である半導体記憶装置の製造工程の第12段階時点における断面構造を示す製造工程断面図である。

【図14】TaSiNとTiNに対して耐熱性を評価した結果を示す図である。

【図15】本発明の実施形態における強誘電体キャパシタのヒステリシス特性を示す図である。

【図16】従来の半導体記憶装置におけるメモリセル部の構成を示す断面図である。

【符号の説明】

1…シリコン基板

2…ポリシリコンゲート電極

3…拡散層

4…第1の層間絶縁膜

5…コンタクトプラグ

6…低抵抗化層

7…バリアメタル層

8…絶縁膜

10…下部電極

11…キャパシタ強誘電体膜

12…上部電極

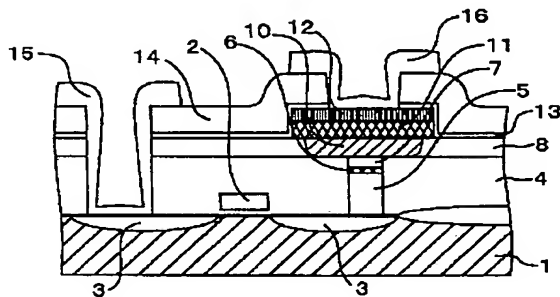
13…拡散バリア膜

14…第2の層間絶縁膜

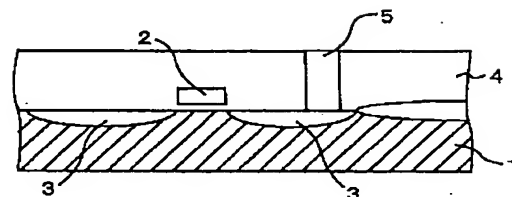
15…ビット線

16…プレート線

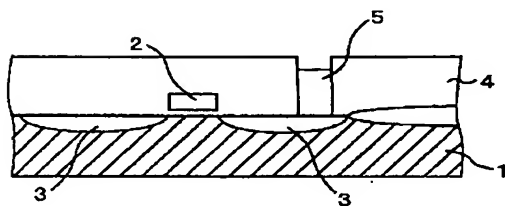
【図1】



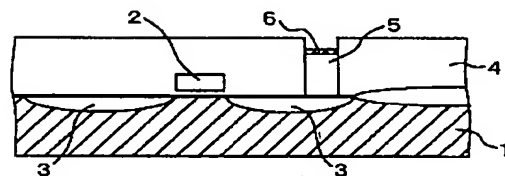
【図2】



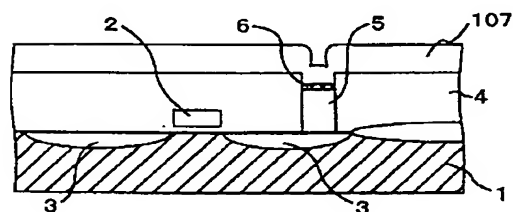
【図3】



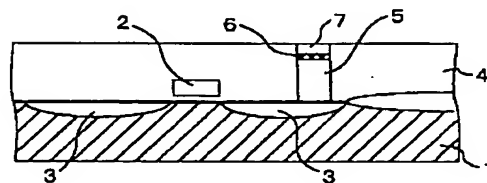
【図4】



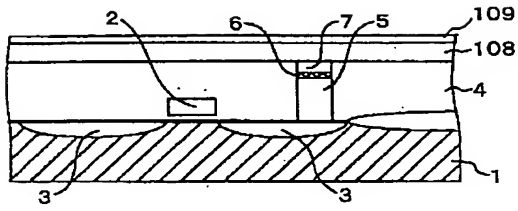
【図5】



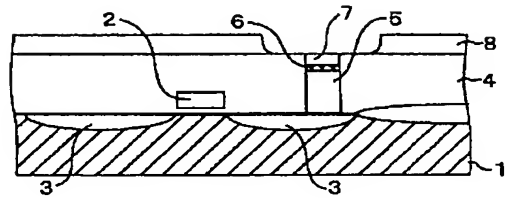
【図6】



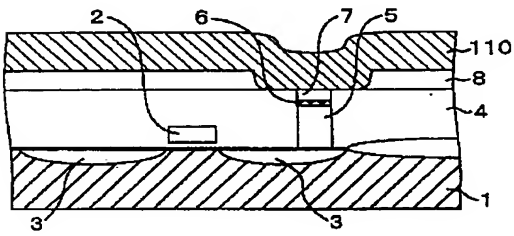
【図 7】



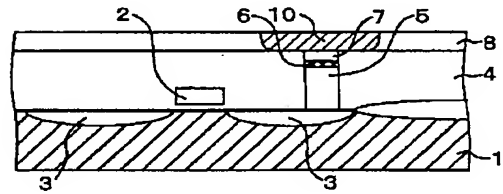
【図 8】



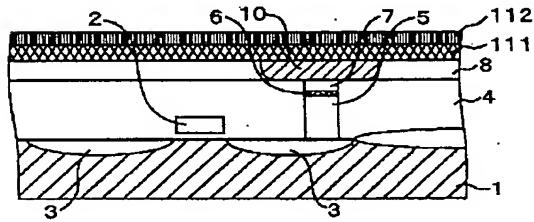
【図 9】



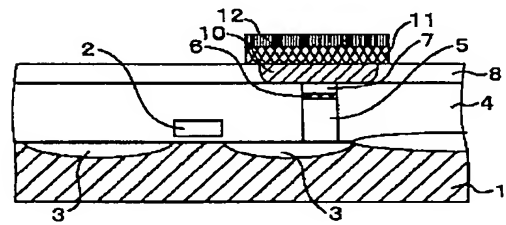
【図 10】



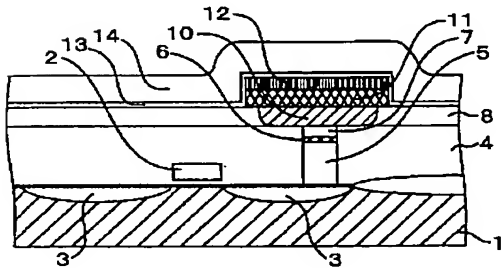
【図 11】



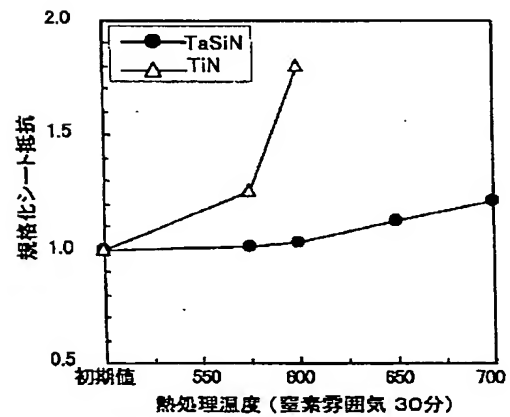
【図 12】



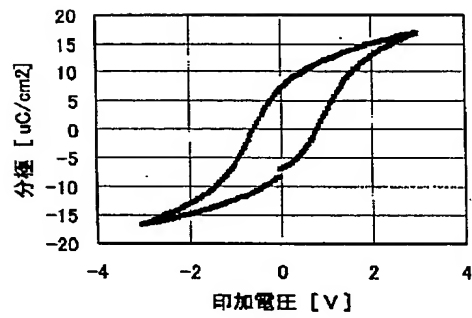
【図 13】



【図 14】



【図15】



【図16】

